

# (19)대한민국특허청(KR) (12) 공개특허공보(A)

(51) . Int. Cl.<sup>7</sup>  
G09G 3/288

(11) 공개번호 10-2004-0065711  
(43) 공개일자 2004년07월23일

(21) 출원번호 10-2003-0002856  
(22) 출원일자 2003년01월16일

(71) 출원인 엘지전자 주식회사  
서울특별시 영등포구 여의도동 20번지

(72) 발명자 김영대  
부산광역시해운대구반여1동1442-710/3  
  
윤상진  
경상북도칠곡군석적면남울리710우방신천지타운103동1802호  
  
전용태  
경상북도경산시옥산동800-1번지

(74) 대리인 김영호

심사청구 : 있음

## (54) 플라즈마 디스플레이 패널 및 그 구동방법

### 요약

본 발명은 휘점오방전 및 미스 라이팅 현상을 방지할 수 있도록 한 플라즈마 디스플레이 패널의 구동방법에 관한 것이다.

본 발명의 플라즈마 디스플레이 패널의 구동방법 각각의 서브필드는 모든 방전셀에 벽전하를 형성시키기 위한 초기 화기간과, 모든 방전셀에 원하는 벽전하가 형성될 수 있도록 강화방전을 일으키는 강화기간과, 방전셀을 선택하기 위하여 어드레스 방전을 일으키는 어드레스 기간과, 어드레스 방전이 일어난 방전셀들에서 계조값에 따른 소정횟수의 서스테인 방전을 일으키는 서스테인 기간을 포함한다.

### 대표도

도 6

### 명세서

#### 도면의 간단한 설명

도 1은 종래의 3전극 교류 면방전형 플라즈마 디스플레이 패널의 방전셀 구조를 나타내는 사시도.

도 2는 종래의 플라즈마 디스플레이 패널의 한 프레임에 포함되어 있는 서브필드를 나타내는 도면.

도 3은 도 2에 도시되어 있는 서브필드동안 각각의 전극에 인가되는 구동파형을 나타내는 파형도.

도 4는 도 2에 도시된 초기화기간 동안 전극들에 형성되는 벽전하들을 나타내는 도면.

도 5는 도 2에 도시된 초기화기간 동안 일부 방전셀들에 형성되는 벽전하를 나타내는 도면.

도 6은 본 발명의 제 1실시예에 의한 플라즈마 디스플레이 패널의 구동방법을 나타내는 도면.

도 7은 본 발명의 실시예에 의한 플라즈마 디스플레이 패널의 구동장치를 나타내는 회로도.

도 8은 본 발명의 제 2실시예에 의한 플라즈마 디스플레이 패널의 구동방법을 나타내는 도면.

< 도면의 주요 부분에 대한 부호의 설명 >

10 : 상부기판 12Y,12Z : 투명전극

13Y,13Z : 버스전극 14,22 : 유전체층

16 : 보호막 18 : 하부기판

20X : 어드레스전극 24 : 격벽

26 : 형광체층 30Y : 주사전극

30Z : 유지전극 41 : 에너지 회수회로

42 : 드라이브 집적회로 43 : 스캔전압 공급부

44 : 스캔기준전압 공급부 45 : 셋업 공급부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것으로 특히, 휘점오방전 및 미스 라이팅 현상을 방지할 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법에 관한 것이다.

플라즈마 디스플레이 패널(Plasma Display Panel : 이하 'PDP'라 한다)은 He+ Xe, Ne+ Xe, He+ Xe+ Ne 등의 불활성 혼합가스가 방전할 때 발생하는 자외선이 형광체를 발광시킴으로써 화상을 표시하게 된다. 이러한 PDP는 박막화와 대형화가 용이할 뿐만 아니라 최근의 기술 개발에 힘입어 화질이 향상되고 있다.

도 1을 참조하면, 3전극 교류 면방전형 PDP의 방전셀은 상부기판(10) 상에 형성되어진 주사전극(30Y) 및 유지전극(30Z)과, 하부기판(18) 상에 형성되어진 어드레스전극(20X)을 구비한다.

주사전극(30Y)과 유지전극(30Z) 각각은 투명전극(12Y,12Z)과, 투명전극(12Y,12Z)의 선폭보다 작은 선폭을 가지며 투명전극의 일측 가장자리에 형성되는 금속버스전극(13Y,13Z)을 포함한다. 투명전극(12Y,12Z)은 통상 인듐틴옥사이드(Indium-Tin-Oxide : ITO)로 상부기판(10) 상에 형성된다. 금속버스전극(13Y,13Z)은 통상 크롬(Cr) 등의 금속으로 투명전극(12Y,12Z) 상에 형성되어 저항이 높은 투명전극(12Y,12Z)에 의한 전압강하를 줄이는 역할을 한다.

주사전극(30Y)과 유지전극(30Z)이 나란하게 형성된 상부기판(10)에는 상부 유전체층(14)과 보호막(16)이 적층된다. 상부 유전체층(14)에는 플라즈마 방전시 발생된 벽전하가 축적된다. 보호막(16)은 플라즈마 방전시 발생된 스퍼터링에 의한 상부 유전체층(14)의 손상을 방지함과 아울러 2차 전자의 방출 효율을 높이게 된다. 보호막(16)으로는 통상 산화마그네슘(MgO)이 이용된다.

어드레스전극(20X)이 형성된 하부기관(18) 상에는 하부 유전체층(22), 격벽(24)이 형성되며, 하부 유전체층(22)과 격벽(24) 표면에는 형광체층(26)이 도포된다. 어드레스전극(20X)은 주사전극(30Y) 및 유지전극(30Z)과 교차되는 방향으로 형성된다. 격벽(24)은 어드레스전극(20X)과 나란하게 형성되어 방전에 의해 생성된 자외선 및 가시광이 인접한 방전셀에 누설되는 것을 방지한다. 형광체층(26)은 플라즈마 방전시 발생된 자외선에 의해 여기되어 적색, 녹색 또는 청색 중 어느 하나의 가시광선을 발생하게 된다. 상/하부기관(10,18)과 격벽(24) 사이에 마련된 방전공간에는 불활성 혼합가스가 주입된다.

PDP는 화상의 계조를 구현하기 위하여, 한 프레임을 발광횟수가 다른 여러 서브필드로 나누어 시분할 구동하게 된다. 각 서브필드는 전화면을 초기화시키기 위한 초기화기간과, 주사라인을 선택하고 선택된 주사라인에서 셀을 선택하기 위한 어드레스기간과, 방전횟수에 따라 계조를 구현하는 서스테인기간으로 나뉘어진다. 여기서, 초기화기간은 상승램프파형이 공급되는 셋업기간과 하강램프파형이 공급되는 셋다운 기간으로 나뉘어진다.

예를 들어, 256 계조로 화상을 표시하고자 하는 경우에 도 2와 같이 1/60 초에 해당하는 프레임 기간(16.67ms)은 8개의 서브필드들(SF1내지SF8)로 나누어지게 된다. 8개의 서브 필드들(SF1내지SF8) 각각은 전술한 바와 같이, 초기화기간, 어드레스기간과 서스테인기간으로 나누어지게 된다. 각 서브필드의 초기화기간과 어드레스 기간은 각 서브필드마다 동일한 반면에 서스테인 기간은 각 서브필드에서  $2^n$  ( $n=0,1,2,3,4,5,6,7$ )의 비율로 증가된다.

도 3은 두 개의 서브필드에 공급되는 PDP의 구동파형을 나타낸다.

도 3에 있어서, Y는 주사전극을 나타내며, Z는 유지전극을 나타낸다. 그리고 X는 어드레스전극을 나타낸다.

도 3을 참조하면, PDP는 전화면을 초기화시키기 위한 초기화기간, 셀을 선택하기 위한 어드레스 기간 및 선택된 셀의 방전을 유지시키기 위한 서스테인기간으로 나누어 구동된다.

초기화기간에 있어서, 셋업기간에는 모든 주사전극들(Y)에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에는 미약한 방전이 일어나게 되어 셀들 내에 벽전하가 생성된다. 이와 같은 상승 램프파형(Ramp-up)은 서스테인전압( $V_s$ )으로부터 셋업전압( $V_{setup}$ )과 서스테이 전압( $V_s$ )의 합 전압까지 상승한다.

셋다운기간에는 상승 램프파형(Ramp-up)이 공급된 후, 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성 전압( $V_s$ )에서 떨어지는 하강 램프파형(Ramp-down)이 주사전극들(Y)에 동시에 인가된다. 하강 램프파형(Ramp-down)은 셀들 내에 미약한 소거방전을 일으킴으로써 셋업방전에 의해 생성된 벽전하 및 공간전하 중 불요전하를 소거시키게 되고 전화면의 셀들 내에 어드레스 방전에 필요한 벽전하를 균일하게 잔류시키게 된다. 실제적으로, 셋다운기간 동안 원하는 벽전하들이 잔류될 수 있도록 하강 램프파형(Ramp-down)은 서스테인전압( $V_s$ )으로부터 부극성의 전압( $-V_y$ )까지 하강하게 된다.

어드레스기간에는 부극성 스캔펄스(scan)가 주사전극들(Y)에 순차적으로 인가됨과 동시에 어드레스전극들(X)에 정극성의 데이터펄스(data)가 인가된다. 이 스캔펄스(scan)와 데이터펄스(data)의 전압차와 초기화기간에 생성된 벽전압이 더 해지면서 데이터펄스(data)가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 벽전하가 생성된다.

한편, 셋다운기간과 어드레스기간 동안에 유지전극들(Z)에는 서스테인전압레벨( $V_s$ )의 정극성 직류전압이 공급된다.

서스테인기간에는 주사전극들(Y)과 유지전극들(Z)에 교번적으로 서스테인펄스(sus)가 인가된다. 그러면 어드레스방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus)가 인가될 때 마다 주사전극(Y)과 유지전극(Z) 사이에 면방전 형태로 서스테인방전이 일어나게 된다. 마지막으로, 서스테인방전이 완료된 후에는 펄스폭이 작은 소거 램프파형(erase)이 유지전극(Z)에 공급되어 셀 내의 벽전하를 소거시키게 된다.

이와 같은 종래의 PDP의 셋업기간에는 주사전극(Y)에는 정극성의 전압이 공급되고 유지전극(Z)에는 부극성의 전압(또는 기저전압)이 공급된다. 따라서, 셋업기간에 도 4와 같이 주사전극(Y)에는 부극성의 벽전하가 형성되며 유지전극(Z)에는 정극성의 벽전하가 형성된다. 셋다운 기간에는 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성의 전압에서 떨어지는 하강 램프파형(Ramp-down)이 인가되고, 이에 따라 과도하고 불균형하게 형성된 불요 벽전하가 소거되어 셀 내의 벽전하는 일정량으로 줄어들게 된다.

이어서, 어드레스 기간에 주사전극(Y)에는 부극성의 전압이 인가되고 유지전극(Z)에는 정극성의 전압이 인가된다. 이때, 셋다운 기간에 형성된 벽전하의 전압값(부극성)과 주사전극(Y)으로 인가되는 부극성의 전압값이 합쳐져 어드레스 방전 이 일어나게 된다.

이와 같이 구동되는 종래의 PDP는 초기화기간에 원하는 벽전하가 형성되어야만 안정적이 어드레스 방전이 일어나게 된다. 하지만, 종래에는 패널의 특성에 따라서 초기화기간에 원하는 벽전하가 형성되지 않게 되고, 이에 따라 휘점 오방전 또는 미스 라이팅 현상이 발생된다.

이를 상세히 설명하면, 초기화기간에 정상적으로 벽전하가 형성될 때 도 4와 같이 주사전극(Y)에 부극성의 벽전하가 형성되고 유지전극(Z)에 정극성의 벽전하가 형성된다. 하지만, 패널 특성등의 문제로 인하여 일부 방전셀들에서는 도 5와 같이 셋다운 기간동안 주사전극(Y)에 정극성의 벽전하가 형성되게 된다. 다시 말하여, 셋다운 기간동안 하강 램프파형(Ramp-down)이 부극성의 전압(-Vy)까지 하강하고, 이때 일부 방전셀에 형성된 주사전극(Y)에 정극성의 벽전하가 형성되게 된다. 이와 같이 주사전극(Y)에 정극성의 벽전하가 형성되면 휘점 오방전 또는 미스 라이팅 현상이 발생되어 PDP의 화질이 저하되게 된다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 휘점오방전 및 미스 라이팅 현상을 방지할 수 있도록 한 플라즈마 디스플레이 패널 및 그 구동방법을 제공하는 것이다.

#### 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명의 플라즈마 디스플레이 패널의 구동방법 각각의 서브필드는 모든 방전셀에 벽전하를 형성시키기 위한 초기화기간과, 모든 방전셀에 원하는 벽전하가 형성될 수 있도록 강화방전을 일으키는 강화기간과, 방전셀을 선택하기 위하여 어드레스 방전을 일으키는 어드레스 기간과, 어드레스 방전이 일어난 방전셀들에서 계조값에 따른 소정횟수의 서스테인 방전을 일으키는 서스테인 기간을 포함한다.

상기 초기화기간은 셋업기간과 셋다운기간으로 나뉘며, 셋업기간동안 서스테인 전압으로부터 서스테인전압과 셋업전압의 함전압까지 기울기를 가지고 상승하는 상승 램프파형이 공급되고, 셋다운기간동안 서스테인 전압으로부터 부극성의 전압까지 기울기를 가지고 하강하는 하강 램프파형이 공급된다.

상기 강화기간동안 상승 램프파형과 동일기울기를 가지고 기저전위부터 상승하는 정극성의 강화펄스가 공급된다.

상기 강화펄스의 전압값은 셋업전압 이하의 전압값으로 설정된다.

상기 강화펄스의 공급시간은 한 프레임에 포함되는 다수의 서브필드별로 상이하게 설정된다.

상기 강화펄스의 공급시간은 프레임의 초반부 서브필드로부터 후반부 서브필드로 갈수록 짧게 설정된다.

상기 강화펄스의 공급시간은 프레임의 초반부 서브필드로부터 후반부 서브필드로 갈수록 길게 설정된다.

상기 강화펄스의 공급시간은 한 프레임에 포함되는 모든 서브필드에서 동일하게 설정된다.

상기 강화펄스는 유지전극쌍 중 주사전극에 공급된다.

상기 강화펄스가 주사전극에 공급되는 동안 유지전극쌍 중 유지전극에는 기저전위가 공급된다.

상기 강화기간동안 상승 램프파형과 다른 기울기를 가지고 기저전위부터 상승하는 정극성의 강화펄스가 공급된다.

상기 강화기간동안 서스테인 전압값을 가지는 구형파의 강화펄스가 공급된다.

상기 구형파의 강화펄스는  $1\mu s$  이하의 시간동안 공급된다.

상기 강화펄스의 공급시간은 한 프레임에 포함되는 다수의 서브필드별로 상이하게 설정된다.

상기 강화펄스의 공급시간은 한 프레임에 포함되는 다수의 서브필드에서 동일하게 설정된다.

상기 강화펄스는 유지전극쌍 중 주사전극에 공급된다.

상기 강화펄스가 주사전극에 공급되는 동안 유지전극쌍 중 유지전극에는 기저전위가 공급된다.

본 발명의 플라즈마 디스플레이 패널은 서스테인기간동안 서스테인 전압을 가지는 서스테인 펄스를 공급하기 위한 에너지 회수회로와, 리셋기간동안 다수의 주사전극으로 상승 램프파형을 공급하기 위한 셋업 공급부와, 어드레스 기간동안 다수의 주사전극 중 어느 하나의 주사전극으로 스캔펄스를 공급하기 위한 스캔전압 공급부와, 어드레스 기간동안 스캔펄스가 공급되는 주사전극을 제외한 나머지 주사 전극으로 스캔기준전압을 공급하기 위한 스캔기준전압 공급부를 구비하며, 리셋기간 및 어드레스 기간 사이의 기간동안 셋업공급부로부터 상승 램프파형과 동일한 기울기를 가지고 상승하는 강화펄스가 주사전극으로 공급된다.

상기 강화펄스가 공급되기 전에 에너지 회수회로로부터 주사전극으로 기저전압이 공급된다.

본 발명의 플라즈마 디스플레이 패널은 서스테인기간동안 서스테인 전압을 가지는 서스테인 펄스를 공급하기 위한 에너지 회수회로와, 리셋기간동안 다수의 주사전극으로 상승 램프파형을 공급하기 위한 셋업 공급부와, 어드레스 기간동안 다수의 주사전극 중 어느 하나의 주사전극으로 스캔펄스를 공급하기 위한 스캔전압 공급부와, 어드레스 기간동안 스캔펄스가 공급되는 주사전극을 제외한 나머지 주사전극으로 스캔기준전압을 공급하기 위한 스캔기준전압 공급부를 구비하며, 리셋기간 및 어드레스 기간 사이의 기간동안 에너지 회수회로로부터 서스테인 전압을 가지는 구형파의 강화펄스가 공급된다.

상기 강화펄스가 공급되기 전에 에너지 회수회로로부터 주사전극으로 기저전압이 공급된다.

상기 강화펄스는  $1\mu s$  이하의 시간동안 인가된다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부도면을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하 도 6 내지 도 8을 참조하여 본 발명의 바람직한 실시예에 대하여 설명하기로 한다.

도 6은 본 발명의 제 1실시예에 의한 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 6을 참조하면, 본 발명의 제 1실시예에 의한 PDP는 전화면을 초기화시키기 위한 초기화기간, 벽전하의 역전을 방지하기 위한 강화기간, 셀을 선택하기 위한 어드레스 기간 및 선택된 셀의 방전을 유지시키기 위한 서스테인기간으로 나누어 구동된다.

초기화기간에 있어서, 셋업기간에는 모든 주사전극들(Y)에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에는 미약한 방전이 일어나게 되어 셀들 내에 벽전하가 생성된다. 이와 같은 상승 램프파형(Ramp-up)은 서스테인전압( $V_s$ )으로부터 셋업전압( $V_{setup}$ )과 서스테이 전압( $V_s$ )의 합 전압까지 상승한다.

셋다운기간에는 상승 램프파형(Ramp-up)이 공급된 후, 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성 전압( $V_s$ )에서 떨어지는 하강 램프파형(Ramp-down)이 주사전극들(Y)에 동시에 인가된다. 하강 램프파형(Ramp-down)은 셀들 내에 미약한 소거방전을 일으킴으로써 셋업방전에 의해 생성된 벽전하 및 공간전하 중 불요전하를 소거시키게 되고 전화면의 셀들 내에 어드레스 방전에 필요한 벽전하를 균일하게 잔류시키게 된다. 실제적으로, 셋다운기간 동안 원하는 벽전하들이 잔류될 수 있도록 하강 램프파형(Ramp-down)은 서스테인전압( $V_s$ )으로부터 부극성의 전압( $-V_y$ )까지 하강하게 된다.

강화기간에는 기저전위(GND)로부터 셋업전압( $V_{setup}$ ) 까지 상승하는 정극성의 강화펄스(Ramp-p)가 공급된다. 이와 같은 강화펄스(Ramp-p)는 방전셀들에서 원하는 벽전하들이 형성될 수 있도록 미세 방전을 일으키게 된다. 이를 상세히 설명하면, 셋다운 기간동안 대부분의 방전셀들에 포함되어 있는 주사전극(Y)에는 부극성의 벽전하가 형성되고, 유지전극(Z)에는 정극성의 벽전하가 형성된다. 하지만, 일부 방전셀에 포함되어 있는 주사전극(Y)에는 도 6과 같이 정극성의 벽전하가 형성되게 된다. 강화기간 동안에는 정극성의 강화펄스(Ramp-p)를 공급하여 모든 주사전극들(Y)에 부극성의 벽전하가 형성되도록 한다. 다시 말하여, 셋다운 기간동안 정극성의 벽전하가 형성된 주사전극(Y)들도 강화기간을 거치면서 부극성의 벽전하가 형성되게 된다.

한편, 강화펄스(Ramp-p)의 공급시간은 서브필드별로 서로 상이하게 설정할 수 있다.(또는 모든 서브필드별로 동일하게 설정할 수 있다.) 이와 같이 강화펄스(Ramp-p)의 공급시간을 조절함으로써 강화펄스(Ramp-p)의 전압값을 조절할 수 있다. 다시 말하여, 동일 기울기를 가지고 상승하는 강화펄스(Ramp-p)의 공급시간을 조절함으로써 서브필드별로 서로 상이한 전압값을 가지는 강화펄스(Ramp-p)를 공급할 수 있다. 여기서, 강화펄스의 공급시간은 초반부 서브필드로부터 후반부 서브필드로 갈수록 짧게 설정할 수 있다. 따라서, 초반부 서브필드로부터 후반부 서브필드로 갈수록 낮은 전압값을 가지는 강화펄스가 인가되게 된다. 아울러, 본 발명에서는 강화펄스의 공급시간을 초반부 서브필드로부터 후반부 서브필드로 갈수록 길게 설정할 수 도 있다. 이와 같은 강화펄스의 공급시간은 패널의 상태등에 의

하여 임의로 결정할 수 있다. 그리고, 본 발명에서는 서브필드별로 서로 다른 기울기 및/또는 전압을 가지는 강화펄스(Ramp-p)를 공급할 수도 있다.

어드레스기간에는 부극성 스캔펄스(scan)가 주사전극들(Y)에 순차적으로 인가됨과 동시에 어드레스전극들(X)에 정극성의 데이터펄스(data)가 인가된다. 이 스캔펄스(scan)와 데이터펄스(data)의 전압차와 초기화기간에 생성된 벽전압이 더해지면서 데이터펄스(data)가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 벽전하가 생성된다. 한편, 본 발명에서는 강화기간동안 모든 방전셀에 형성된 주사전극(Y)에 부극성의 벽전하가 형성되었기 때문에 안정된 어드레스 방전을 일으킬 수 있다. 따라서, 미스 라이팅 및/또는 휘점 오방전 현상을 방지할 수 있다.

한편, 셋다운 기간 및 어드레스 기간동안 유지전극들(Z)에는 서스테인 전압레벨( $V_s$ )의 정극성의 직류전압이 공급된다. 그리고, 강화기간동안 유지전극들(Z)에는 기저전압원(GND)이 공급된다. 강화기간동안 유지전극들(Z)에 기저전압(GND)이 공급됨으로써 안정된 강화방전을 일으킬 수 있다.

서스테인기간에는 주사전극들(Y)과 유지전극들(Z)에 교번적으로 서스테인펄스(sus)가 인가된다. 그러면 어드레스방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus)가 인가될 때 마다 주사전극(Y)과 유지전극(Z) 사이에 면방전 형태로 서스테인방전이 일어나게 된다. 마지막으로, 서스테인방전이 완료된 후에는 펄스폭이 작은 소거 램프파형(erase)이 유지전극(Z)에 공급되어 셀 내의 벽전하를 소거시키게 된다.

도 7은 본 발명의 실시예에 의한 주사전극 구동부를 나타내는 도면이다.

도 7을 참조하면, 본 발명의 주사전극 구동부는 에너지 회수회로(41)와, 에너지 회수회로(41)와 드라이버 집적회로(Integrated Circuit : 이하 'IC'라 함)(42) 사이에 접속되는 제 4스위치(Q4)와, 제 4스위치(Q4)와 드라이브 IC(42) 사이에 접속되어 스캔펄스(Scan)를 공급하기 위한 부극성 스캔전압 공급부(43) 및 스캔기준전압 공급부(44)와, 제 4스위치(Q4)와 부극성 스캔전압 공급부(43) 및 스캔기준전압 공급부(44) 사이에 접속되어 상승 램프파형(Ramp-up)을 생성하기 위한 셋업 공급부(45)를 구비한다.

드라이브 IC(42)는 푸쉬풀 형태로 접속되며 에너지 회수회로(41), 스캔전압 공급부(43) 및 스캔 기준전압 공급부(44)로부터 전압신호가 입력되는 제 10 및 제 11스위치들(Q10, Q11)로 구성된다. 제10 및 제11 스위치들(Q10, Q11) 사이의 출력라인은 스캔전극라인(Y1 내지 Ym) 중 어느 하나에 접속된다.

에너지 회수회로(41)는 스캔전극라인(Y1 내지 Ym)으로부터 회수되는 에너지를 충전하기 위한 외부 캐패시터( $C_{exY}$ )와, 외부 캐패시터( $C_{exY}$ )에 병렬 접속된 스위치들(Q14, Q15)과, 제1 노드( $n_1$ )와 제2 노드( $n_2$ ) 사이에 접속된 인덕터( $L_y$ )와, 서스테인전압공급원( $V_s$ )과 제2 노드( $n_2$ ) 사이에 접속된 제1 스위치(Q1)와, 제2 노드( $n_2$ )와 기저전압단자(GND) 사이에 접속된 제2 스위치(Q2)로 구성된다.

이 에너지 회수회로(41)의 동작을 설명하면 다음과 같다. 외부 캐패시터( $C_{exY}$ )에는  $V_s/2$  전압이 충전되어 있다고 가정한다. 제14 스위치(Q14)가 턴-온되면, 외부 캐패시터( $C_{exY}$ )에 충전된 전압은 제14 스위치(Q14), 제1 다이오드(D1), 인덕터( $L_y$ ) 및 제4 스위치(Q4)를 경유하여 드라이브 IC(42)에 공급 되고 드라이브 IC(42)의 도시하지 않은 내부 다이오드를 통해 스캔전극라인(Y1 내지 Ym)에 공급된다. 이 때, 인덕터( $L_y$ )는 PDP 셀의 정전용량(C)과 함께 직렬 LC 공진회로를 구성하게 되므로 스캔전극라인(Y1 내지 Ym)에는 공진파형이 공급된다. 공진파형의 공진점에서 제1 스위치(Q1)가 턴-온된다. 이렇게 제1 스위치(Q1)가 턴-온되면 서스테인전압( $V_s$ )이 제1 스위치(Q1)와 드라이브 IC(42)를 경유하여 스캔전극라인(Y1 내지 Ym)에 공급된다. 서스테인전압( $V_s$ )에 의해 스캔전극라인(Y1 내지 Ym) 상의 전압레벨은 서스테인전압( $V_s$ )을 유지하게 된다. 소정 시간 후에 제1 스위치(Q1)는 턴-오프되고 제15 스위치(Q15)가 턴-온된다. 이 때, 방전에 기여하지 않은 무효전력 즉, 에너지는 스캔전극라인(Y1 내지 Ym), 드라이브 IC(42), 제4 스위치(Q4), 제2 다이오드(D2) 및 제15 스위치(Q15)를 경유하여 외부 캐패시터( $C_{exY}$ )에 공급된다. 즉, 외부 캐패시터( $C_{exY}$ )에 PDP로부터 에너지가 회수된다. 이어서, 제15 스위치(Q15)가 턴-오프되고 제2 스위치(Q2)가 턴-온되면 스캔전극라인(Y1 내지 Ym) 상의 전압은 O(V)나 기저전압(GND)을 유지한다.

이러한 에너지 회수회로(41)의 동작에 의해 스캔전극라인(Y1 내지 Ym)의 전압이 충전되는 동안, 에너지 회수회로(41)와 드라이브 IC(42) 사이의 전류패스를 형성하기 위하여 제4 스위치(Q4)는 온(on) 상태를 유지한다.

이렇게 에너지 회수회로(41)는 PDP로부터 에너지를 회수한 다음, 회수된 에너지를 이용하여 스캔전극라인(Y1 내지 Ym) 상에 전압을 공급함으로써 셋업기간과 서스테인기간의 방전시에 과도한 소비전력을 줄이게 된다.

부극성 스캔전압 공급부(43)는 제3 노드( $n_3$ )와 스캔전압원( $-V_y$ ) 사이에 접속된 제6 스위치(Q6)로 구성된다. 제6스위치(Q6)는 어드레스 기간동안 도시하지 않은 타이밍 콘트롤러로부터 공급되는 제어신호(yw)에 응답하여 절환됨으로써 스캔전압( $-V_y$ )을 드라이브 IC(42)로 공급한다.

스캔기준전압 공급부(44)는 스캔기준전압원(Vsc)과 제4 노드(n4) 사이에 접속되는 제8 스위치(Q8)로 구성된다. 제8 스위치(Q8)는 어드레스기간 동안, 도시하지 않은 타이밍 콘트롤러로부터 공급되는 제어신호(SCW)에 응답하여 절환됨으로써 쓰기 스캔기준전압(Vsc)을 드라이브 IC(42)에 공급한다.

셋업 공급부(45)는 셋업전압원(Vsetup)과 제3 노드(n3) 사이에 접속된 제4 다이오드(D4)와 제3 스위치(Q3)로 구성된다. 제4 다이오드(D4)는 제3 노드(n3)로부터 셋업 전압원(Vsetup) 쪽으로 흐르는 역방향 전류를 차단한다. 제3 스위치(Q3)는 리셋기간 동안 도시하지 않은 타이밍 콘트롤러로부터의 제어신호(setup)에 응답하여 절환됨으로써 RC 시정수값에 의해 기울기가 결정되는 상승 램프파형(Rmap-up)을 제3 노드(n3)에 공급한다.

이와 같은 종래의 주사전극 구동부에서 강화펄스(Ramp-p)가 공급되는 과정을 상세히 설명하면, 먼저 강화기간동안 제 2스위치(Q2)가 턴-온된다. 제 2스위치(Q2)가 턴-온되면 드라이브 IC(42)로 기저전위(GND)가 공급된다. 드라이브 IC(42)는 자신에게 공급된 기저전위(GND)를 주사전극(Y)으로 공급한다. 따라서, 주사전극(Y)에는 기저전위가 공급되게 된다.

이후, 셋업 공급부(45)는 소정의 강화펄스(Ramp-P)(상승램프 파형과 동일 기울기를 갖는다.)를 제 3노드(n3)를 경유하여 드라이브 IC(42)로 공급한다. 드라이브 IC(42)로 공급된 강화펄스(Ramp-p)를 주사전극(Y)으로 공급한다. 이때, 방전셀들에는 강화방전이 발생되고, 이에 따라 주사전극(Y)에는 부극성의 벽전하들이 형성되게 된다. 이후, 제 2스위치(Q2)를 턴-온하여 기저전위(GND)를 주사전극(Y)으로 공급한다. 즉, 본 발명에서는 강화펄스(Ramp-p)를 공급하기 위하여 추가로 회로를 구성하지 않고, 스위칭 시간(즉 제 3스위치(Q3)의 스위칭시간)만을 조절하여 강화펄스(Ramp-up)를 주사전극들(Y)로 공급할 수 있다.

도 8은 본 발명의 제 2실시예에 의한 플라즈마 디스플레이 패널의 구동방법을 나타내는 파형도이다.

도 8을 참조하면, 본 발명의 제 2실시예에 의한 PDP는 전화면을 초기화시키기 위한 초기화기간, 벽전하의 역전을 방지하기 위한 강화기간, 셀을 선택하기 위한 어드레스 기간 및 선택된 셀의 방전을 유지시키기 위한 서스테인 기간으로 나뉘어 구동된다.

초기화기간에 있어서, 셋업기간에는 모든 주사전극들(Y)에 상승 램프파형(Ramp-up)이 동시에 인가된다. 이 상승 램프파형(Ramp-up)에 의해 전화면의 셀들 내에는 미약한 방전이 일어나게 되어 셀들 내에 벽전하가 생성된다. 이와 같은 상승 램프파형(Ramp-up)은 서스테인전압(Vs)으로부터 셋업전압(Vsetup)과 서스테인 전압(Vs)의 합 전압까지 상승한다.

셋다운기간에는 상승 램프파형(Ramp-up)이 공급된 후, 상승 램프파형(Ramp-up)의 피크전압보다 낮은 정극성 전압(Vs)에서 떨어지는 하강 램프파형(Ramp-down)이 주사전극들(Y)에 동시에 인가된다. 하강 램프파형(Ramp-down)은 셀들 내에 미 약한 소거방전을 일으킴으로써 셋업방전에 의해 생성된 벽전하 및 공간전하 중 불요전하를 소거시키게 되고 전화면의 셀들 내에 어드레스 방전에 필요한 벽전하를 균일하게 잔류시키게 된다. 실제적으로, 셋다운기간 동안 원하는 벽전하들이 잔류될 수 있도록 하강 램프파형(Ramp-down)은 서스테인전압(Vs)으로부터 부극성의 전압(-Vy)까지 하강하게 된다.

강화기간에는 기저전위(GND)로부터 서스테인전압(Vs)까지 상승하는 구형파의 강화펄스(pp)가 공급된다. 이와 같은 강화펄스(pp)는 방전셀들에서 원하는 벽전하들이 형성될 수 있도록 강화방전을 일으키기 된다. 이를 상세히 설명하면, 셋다운 기간동안 대부분의 방전셀들에 포함되어 있는 주사전극(Y)에는 부극성의 벽전하가 형성되고, 유지전극(Z)에는 정극성의 벽전하가 형성된다. 하지만, 일부 방전셀에 포함되어 있는 주사전극(Y)에는 도 6과 같이 정극성의 벽전하가 형성되게 된다. 강화기간 동안에는 정극성의 강화펄스(pp)를 공급하여 강화방전을 일으킴으로써 모든 주사전극들(Y)에 부극성의 벽전하가 형성되도록 한다. 다시 말하여, 셋다운 기간동안 정극성의 벽전하가 형성된 주사전극(Y)들도 강화기간을 거치면서 부극성의 벽전하가 형성되게 된다.

한편, 강화펄스(pp)의 공급시간은 서브필드별로 서로 상이하게 설정할 수 있다. 여기서, 강화펄스(pp)의 공급시간은 1μs 이내에서 설정된다. 한편, 강화펄스(pp)의 공급시간은 초반부 서브필드로부터 후반부 서브필드로 갈수록 짧게 설정할 수 있다. 아울러, 본 발명에서는 강화펄스(pp)의 공급시간을 초반부 서브필드로부터 후반부 서브필드로 갈수록 길게 설정할 수 도 있다. 이와 같은 강화펄스(pp)의 공급시간은 패널의 상태등에 의하여 임의로 결정할 수 있다. 그리고, 강화펄스(pp)의 공급시간은 모든 서브필드에서 동일하게 설정할 수 있다. 한편, 강화펄스(pp)가 인가되기 전에 주사전극(Y)들에는 스캔기준전압(Vsc)이 인가된다.

어드레스기간에는 부극성 스캔펄스(scan)가 주사전극들(Y)에 순차적으로 인가됨과 동시에 어드레스전극들(X)에 정극성의 데이터펄스(data)가 인가된다. 이 스캔펄스(scan)와 데이터펄스(data)의 전압차와 초기화기간에 생성된 벽전압이 더해지면서 데이터펄스(data)가 인가되는 셀 내에는 어드레스 방전이 발생된다. 어드레스방전에 의해 선택된 셀들 내에는 벽전하가 생성된다. 한편, 본 발명에서는 강화기간동안 모든 방전셀에 형성된 주사전극(Y)에 부극성의 벽

전하가 형성되었기 때문에 안정된 어드레스 방전을 일으킬 수 있다. 따라서, 미스 라이팅 및/또는 휘점 오방전 현상을 방지할 수 있다.

한편, 셋다운 기간 및 어드레스 기간동안 유지전극들(Z)에는 서스테인 전압레벨( $V_s$ )의 정극성의 직류전압이 공급된다. 그리고, 강화기간동안 유지전극들(Z)에는 기저전압원(GND)이 공급된다. 강화기간동안 유지전극들(Z)에 기저전압(GND)이 공급됨으로써 안정된 강화방전을 일으킬 수 있다.

서스테인기간에는 주사전극들(Y)과 유지전극들(Z)에 교번적으로 서스테인펄스(sus)가 인가된다. 그러면 어드레스방전에 의해 선택된 셀은 셀 내의 벽전압과 서스테인펄스(sus)가 더해지면서 매 서스테인펄스(sus)가 인가될 때 마다 주사전극(Y)과 유지전극(Z) 사이에 면방전 형태로 서스테인방전이 일어나게 된다. 마지막으로, 서스테인방전이 완료된 후에는 펄스폭이 작은 소거 램프파형(erase)이 유지전극(Z)에 공급되어 셀 내의 벽전하를 소거시키게 된다.

한편, 강화펄스(pp)는 도 7에 도시된 주사전극 구동부에 의해 생성되게 된다. 이를 상세히 설명하면, 먼저 강화기간동안 제 8스위치(Q8)가 턴-온되어 스캔기준전압( $V_{sc}$ )이 주사전극들(Y)로 인가된다. 이후, 제 2스위치(Q2)가 턴-온되어 주사전극들(Y)로 기저전위(GND)가 공급된다. 주사전극들(Y)로 기저전위(GND)가 공급된 후 제 1스위치(Q1)가 턴-온되어( $1\mu s$  이하의 시간동안 턴-온) 서스테인 전압( $V_s$ ) 레벨을 가지는 강화펄스(pp)가 주사전극들(Y)로 공급된다. 이후, 기저전위(GND), 스캔기준전압( $V_{sc}$ ), 스캔전압( $-V_r$ )이 주사전극(Y)들로 공급되면서 어드레스 방전이 일어난다.

#### 발명의 효과

상술한 바와 같이, 본 발명에 따른 플라즈마 디스플레이 패널 및 그 구동방법에 의하면 리셋기간 이후에 강화펄스를 공급하여 벽전하의 역전현상을 방지한다. 다시 말하여, 리셋기간 이후에 정극성의 강화펄스를 주사전극들로 공급함으로써 모든 주사전극들에 부극성의 벽전하가 형성되도록 한다. 따라서, 본 발명에서는 안정된 어드레스 방전을 일으킬 수 있고, 이에 따라 미스 라이팅 현상 및 휘점 오방전 현상을 방지할 수 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

#### (57) 청구의 범위

##### 청구항 1.

한 프레임이 적어도 하나 이상의 서브필드를 포함하는 플라즈마 디스플레이 패널에 있어서,

상기 각각의 서브필드는

모든 방전셀에 벽전하를 형성시키기 위한 초기화기간과,

상기 모든 방전셀에 원하는 벽전하가 형성될 수 있도록 강화방전을 일으키는 강화기간과,

상기 방전셀을 선택하기 위하여 어드레스 방전을 일으키는 어드레스 기간과,

상기 어드레스 방전이 일어난 방전셀들에서 계조값에 따른 소정횟수의 서스테인 방전을 일으키는 서스테인 기간을 포함하는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

##### 청구항 2.

제 1항에 있어서,

상기 초기화기간은 셋업기간과 셋다운기간으로 나뉘며,

상기 셋업기간동안 서스테인 전압으로부터 서스테인전압과 셋업전압의 합전압까지 기울기를 가지고 상승하는 상승 램프파형이 공급되고,

상기 셋다운기간동안 상기 서스테인 전압으로부터 부극성의 전압까지 기울기를 가지고 하강하는 하강 램프파형이 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.



**청구항 3.**

제 2항에 있어서,

상기 강화기간동안 상기 상승 램프파형과 동일기울기를 가지고 기저전위부터 상승하는 정극성의 강화펄스가 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 4.**

제 3항에 있어서,

상기 강화펄스의 전압값은 상기 셋업전압 이하의 전압값으로 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 5.**

제 3항에 있어서,

상기 강화펄스의 공급시간은 상기 한 프레임에 포함되는 다수의 서브필드별로 상이하게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 6.**

제 5항에 있어서,

상기 강화펄스의 공급시간은 상기 프레임의 초반부 서브필드로부터 후반부 서브필드로 갈수록 짧게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 7.**

제 5항에 있어서,

상기 강화펄스의 공급시간은 상기 프레임의 초반부 서브필드로부터 후반부 서브필드로 갈수록 길게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 8.**

제 3항에 있어서,

상기 강화펄스의 공급시간은 상기 한 프레임에 포함되는 모든 서브필드에서 동일하게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 9.**

제 3항에 있어서,

상기 강화펄스는 유지전극쌍 중 주사전극에 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 10.**

제 9항에 있어서,

상기 강화펄스가 상기 주사전극에 공급되는 동안 상기 유지전극쌍 중 유지전극에는 기저전위가 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 11.**

제 2항에 있어서,

상기 강화기간동안 상기 상승 램프파형과 다른 기울기를 가지고 기저전위부터 상승하는 정극성의 강화펄스가 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

**청구항 12.**

제 2항에 있어서,

상기 강화기간동안 상기 서스테인 전압값을 가지는 구형파의 강화펄스가 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 13.

제 12항에 있어서,

상기 구형파의 강화펄스는  $1\mu s$  이하의 시간동안 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 14.

제 13항에 있어서,

상기 강화펄스의 공급시간은 상기 한 프레임에 포함되는 다수의 서브필드별로 상이하게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 15.

제 13항에 있어서,

상기 강화펄스의 공급시간은 상기 한 프레임에 포함되는 다수의 서브필드에서 동일하게 설정되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 16.

제 12항에 있어서,

상기 강화펄스는 유지전극쌍 중 주사전극에 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 17.

제 12항에 있어서,

상기 강화펄스가 상기 주사전극에 공급되는 동안 상기 유지전극쌍 중 유지전극에는 기저전위가 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널의 구동방법.

### 청구항 18.

리셋기간, 어드레스기간 및 서스테인기간을 포함하는 플라즈마 디스플레이 패널에 있어서;

상기 서스테인기간동안 서스테인 전압을 가지는 서스테인 펄스를 공급하기 위한 에너지 회수회로와,

상기 리셋기간동안 다수의 주사전극으로 상승 램프파형을 공급하기 위한 셋업 공급부와,

상기 어드레스 기간동안 상기 다수의 주사전극 중 어느 하나의 주사전극으로 스캔펄스를 공급하기 위한 스캔전압 공급부와,

상기 어드레스 기간동안 상기 스캔펄스가 공급되는 주사전극을 제외한 나머지 주사전극으로 스캔기준전압을 공급하기 위한 스캔기준전압 공급부를 구비하며,

상기 리셋기간 및 상기 어드레스 기간 사이의 기간동안 상기 셋업공급부로부터 상기 상승 램프파형과 동일한 기울기를 가지고 상승하는 강화펄스가 상기 주사전극으로 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

### 청구항 19.

제 18항에 있어서,

상기 강화펄스가 공급되기 전에 상기 에너지 회수회로로부터 상기 주사전극으로 기저전압이 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

### 청구항 20.

리셋기간, 어드레스기간 및 서스테인기간을 포함하는 플라즈마 디스플레이 패널에 있어서;

상기 서스테인기간동안 서스테인 전압을 가지는 서스테인 펄스를 공급하기 위한 에너지 회수회로와,

상기 리셋기간동안 다수의 주사전극으로 상승 램프파형을 공급하기 위한 셋업 공급부와,

상기 어드레스 기간동안 상기 다수의 주사전극 중 어느 하나의 주사전극으로 스캔펄스를 공급하기 위한 스캔전압 공급부와,

상기 어드레스 기간동안 상기 스캔펄스가 공급되는 주사전극을 제외한 나머지 주사전극으로 스캔기준전압을 공급하기 위한 스캔기준전압 공급부를 구비하며,

상기 리셋기간 및 상기 어드레스 기간 사이의 기간동안 상기 에너지 회수회로로부터 상기 서스테인 전압을 가지는 구형파의 강화펄스가 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

## 청구항 21.

제 20항에 있어서,

상기 강화펄스가 공급되기 전에 상기 에너지 회수회로로부터 상기 주사전극으로 기저전압이 공급되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

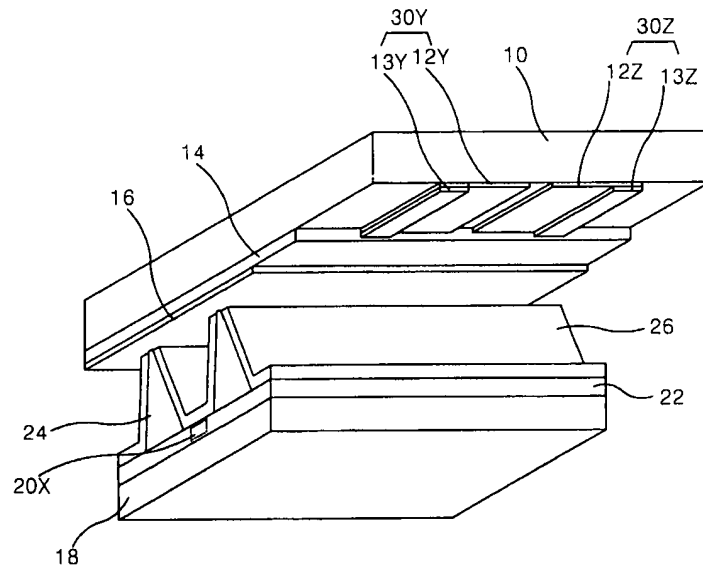
## 청구항 22.

제 20항에 있어서,

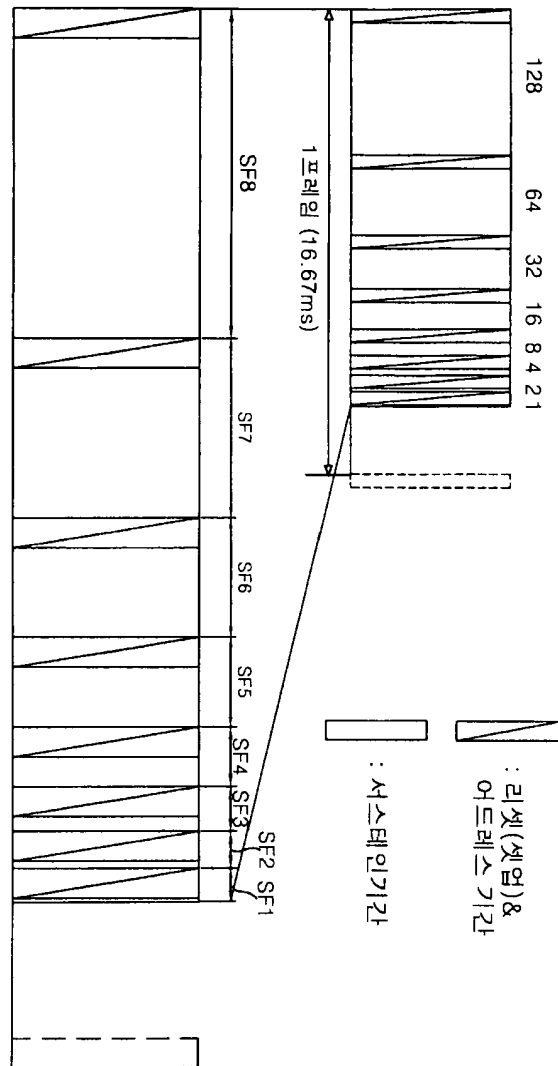
상기 강화펄스는  $1\mu s$  이하의 시간동안 인가되는 것을 특징으로 하는 플라즈마 디스플레이 패널.

도면

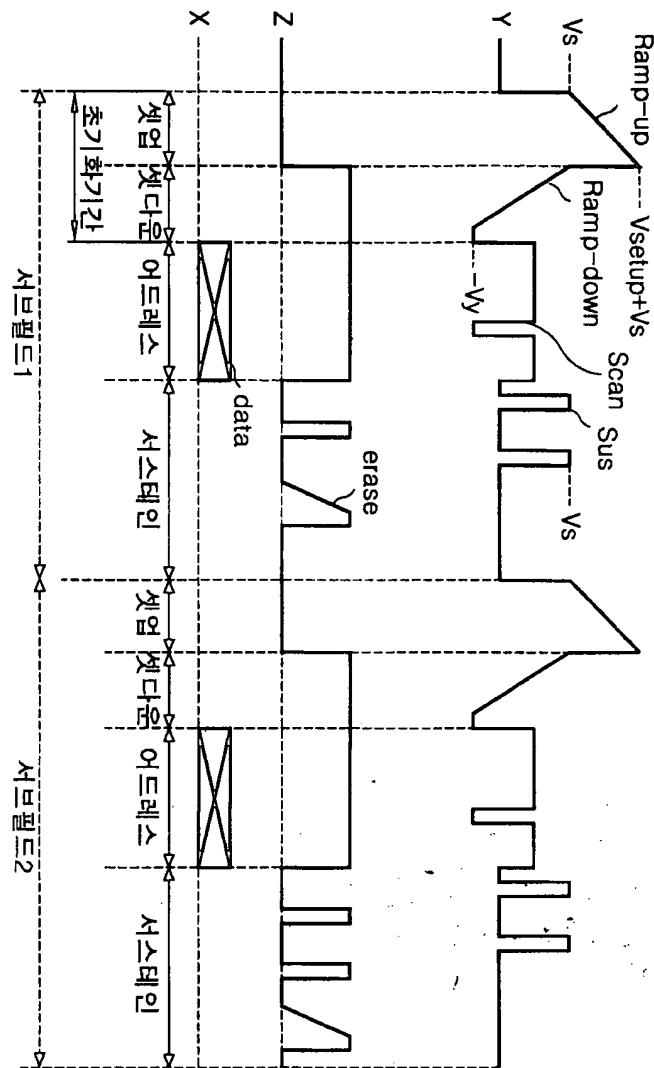
도면1



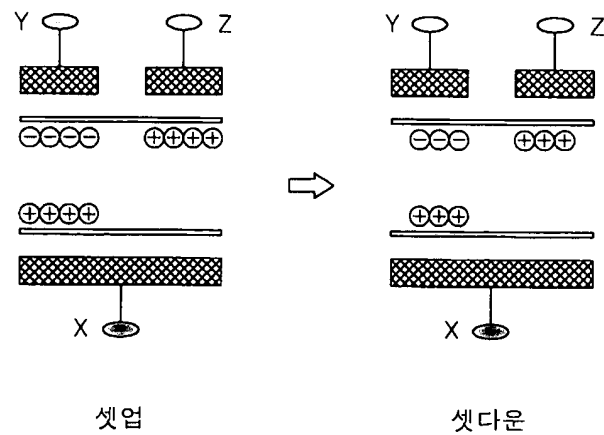
도면2



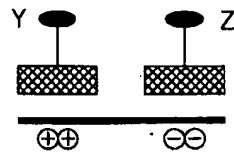
도면3



도면4

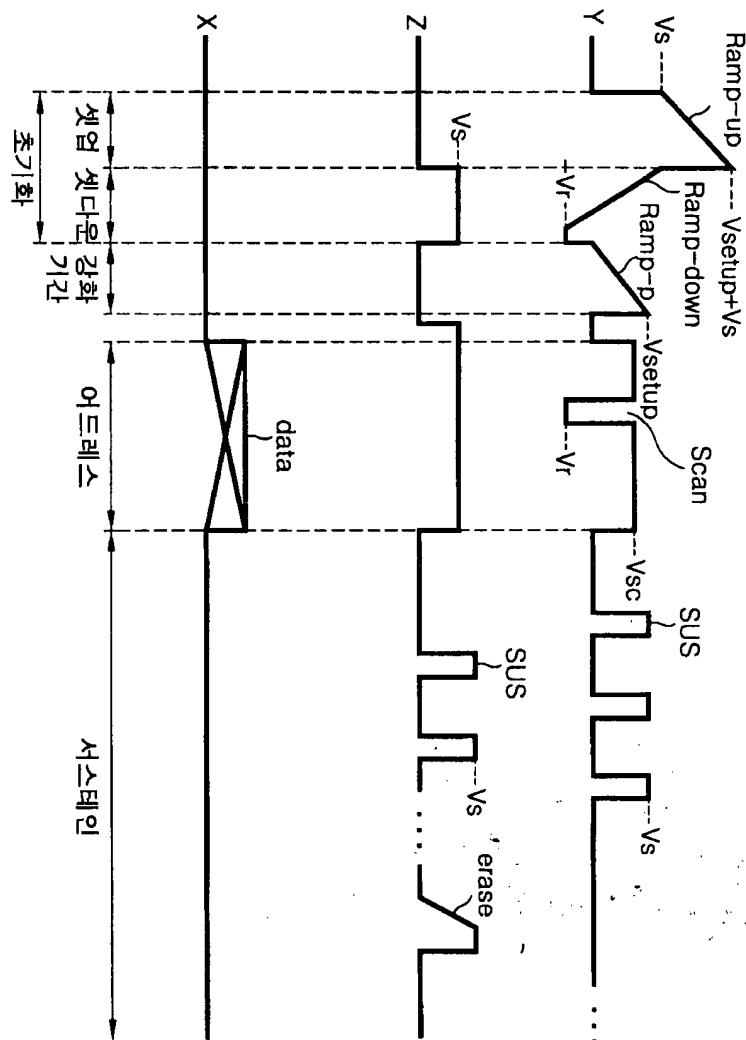


도면5

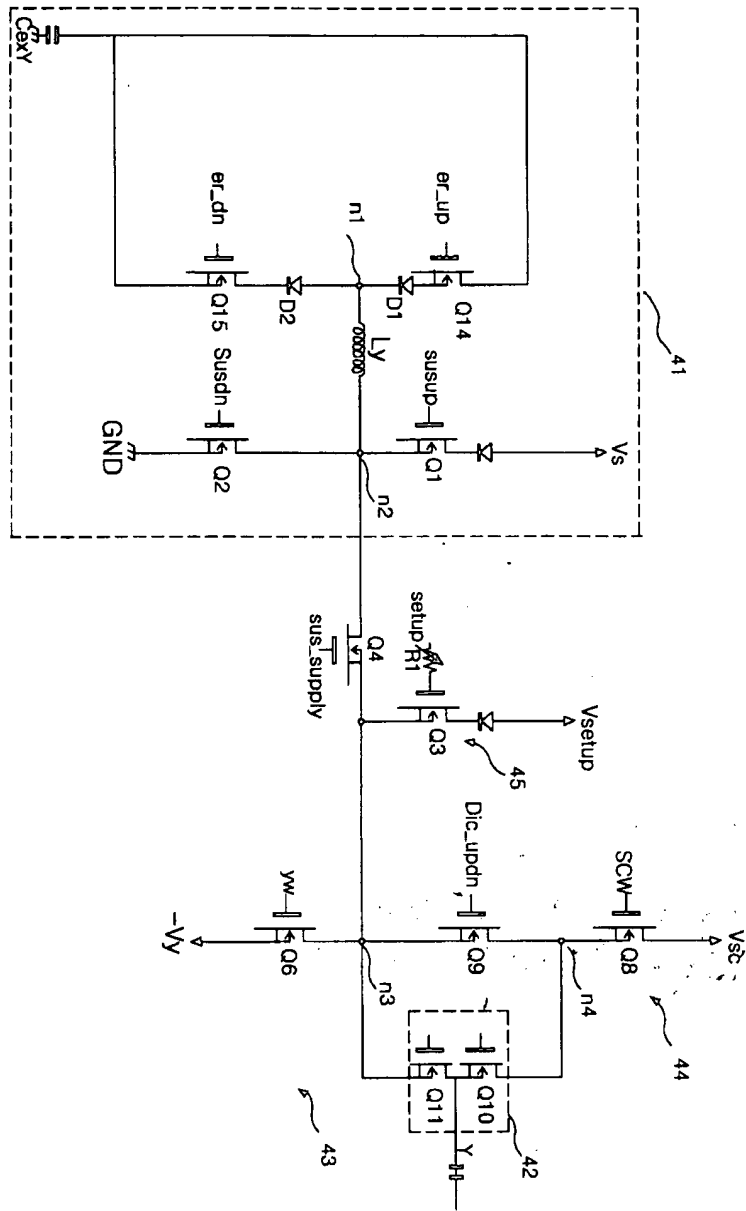


셋다운

도면6



도면7



도면8

